

具有 L 型栅极场板的双槽 双栅绝缘体上硅器件新结构

代红丽^{1,2}, 赵红东¹, 王洛欣², 石艳梅², 李明吉²

(1. 河北工业大学电子信息工程学院, 天津 300401; 2. 天津理工大学电气电子工程学院, 天津 300384)

摘 要: 为了降低绝缘体上硅(SOI)功率器件的比导通电阻,同时提高击穿电压,利用场板(FP)技术,提出了一种具有 L 型栅极场板的双槽双栅 SOI 器件新结构.在双槽结构的基础上,在氧化槽中形成第二栅极,并延伸形成 L 型栅极场板.漂移区引入的氧化槽折叠了漂移区长度,提高了击穿电压;对称的双栅结构形成双导电沟道,加宽了电流纵向传输面积,使比导通电阻显著降低;L 型场板对漂移区电场进行重塑,使漂移区浓度大幅度增加,比导通电阻进一步降低.仿真结果表明:在保证最高优值条件下,相比传统 SOI 结构,器件尺寸相同时,新结构的击穿电压提高了 123%,比导通电阻降低了 32%;击穿电压相同时,新结构的比导通电阻降低了 87.5%;相比双槽 SOI 结构,器件尺寸相同时,新结构不仅保持了双槽结构的高压特性,而且比导通电阻降低了 46%.

关键词: 场板; 击穿电压; 比导通电阻

中图分类号: TN335

文献标识码: A

文章编号: 0372-2112 (2018)05-1146-07

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2018.05.019

A Dual-Trench-Gate Silicon on Insulator Device with a L-shaped Gate Field Plate

DAI Hong-li^{1,2}, ZHAO Hong-dong¹, WANG Luo-xin², SHI Yan-mei², LI Ming-ji²

(1. School of Electronics Information Engineering, Hebei University of Technology, Tianjin 300401, China;

2. School of Electrical and Electronic Engineering, Tianjin University of Technology, Tianjin 300384, China)

Abstract: To reduce the on-resistance and enhance the breakdown voltage of silicon on insulator (SOI), a Dual-Trench-Gate silicon on insulator device with a L-shaped gate field plate is proposed by using the field plate (FP) technology. On the basis of the dual-trench structure, a second gate is formed in the oxidation trench, and the L-shaped gate field plate is formed in the extension of the second gate. The drift region length is folded, the breakdown voltage is increased. The dual gates form dual conduction channels, which widen the vertical conduction area and reduced the specific on-resistance. The L-shaped gate field plate modulates the electric field in the drift region, increases the optimized doping concentration of the drift region significantly and further reduces the specific on-resistance. The simulator results show that under the condition of the highest FOM, as compared with a conventional SOI device at the same cell pitch, the breakdown voltage is increased by 123%, and the specific on-resistance is reduced by 32%. The specific on-resistance is reduced by 87.5% at the same breakdown voltage. Compared with a dual-trench SOI device with the same cell pitch, the proposed device not only maintains the high breakdown voltage as the dual-trench SOI device, but also reduces the specific on-resistance by 46%.

Key words: field plate; breakdown voltage; specific on-resistance

1 引言

绝缘体上的硅(SOI, Silicon-On-Insulator)功率器件具有开关速度快、功耗低、输入阻抗高、易于集成等众多

的优点,使其广泛应用于工业控制、汽车电子等功率集成电路中^[1~3].然而,常规的 SOI 器件由于其漏源间的击穿电压较低,妨碍了它在高压功率集成电路中的应用发展.因此,提高器件的击穿电压 BV 近年来备受关

注^[4,5]. 但由于“硅极限” $R_{on,sp} \propto BV^{2.5}$ 的存在, 漂移区比导电电阻 $R_{on,sp}$ 会随着 BV 的提高而增大^[6~9], 导致器件的功耗增加, 限制了 SOI LDMOS 的发展. 所以, 如何在满足一定的高击穿电压 BV 基础上得到尽可能低的比导电电阻 $R_{on,sp}$, 成为目前该领域设计者们面临的一个新的挑战^[10~12]. 槽型器件结构的提出为 BV 和 $R_{on,sp}$ 之间的矛盾解决提供了一条很好的途径. 槽栅漏结构利用较宽的电流传输面积和较短的传输路径, 降低了 $R_{on,sp}$; 漂移区内引入 SiO_2 槽型介质使器件更容易耗尽, 提高了 BV , 以及将前两者结合的双槽结构 (DT-SOI) 成为目前的研究热点, 但在 DTSOI 中由于槽型 SiO_2 介质层的纵向深度较大, 阻碍了电流的传导, 使 $R_{on,sp}$ 很大^[13].

为了缓解 BV 与 $R_{on,sp}$ 之间的矛盾关系, 本文利用场板 (FP) 技术, 提出了一种具有 L 型栅极场板的双槽双栅 SOI LDMOS (LFP-DTDGSOI) 新结构. 该结构首先采用槽栅结构, 其次在漂移区引入 SiO_2 介质槽, 又在 SiO_2 介质槽内引入 L 型多晶硅槽, 该多晶硅槽既充当了第二栅极, 形成双槽双栅结构^[14~17], 同时又起到了场板的作用, 对漂移区电场进行重塑, 提高击穿电压 BV , 优化器件参数. 本文利用数值仿真软件分析了漂移

区浓度 N_d 、氧化槽深度 D_T 、场板宽度 w_p 和深度 t_p 对 BV 和 $R_{on,sp}$ 的影响, 并与传统 SOI (C-SOI)、双槽 SOI (DTSOI) 进行比较, 结果表明, LFP-DTDGSOI 具有更高的优值 FOM ($F = V_B^2/R_{on,sp}$ ^[18], V_B 为击穿电压, F 为 FOM).

2 器件结构与机理

图 1 为 C-SOI、DTSOI 和 LFP-DTDGSOI 的结构示意图. LFP-DTDGSOI 结构中, 在器件左端形成第一栅极 G_1 (如图 1(c) 所示), 该栅极一直从器件表面延伸到 BOX 埋氧层, 形成槽栅结构; 在 P 阱与漏区之间引入 SiO_2 槽型介质层, 在该介质层中引入第二栅极 G_2 , 其延伸部分形成 L 型场板结构 (如图 1(c) 所示); 在 P 阱中 G_2 侧增加一个重掺杂 N^+ 欧姆源极接触同时形成两个对称的 MOS 结构. G_2 及相连的 L 型栅极场板均由多晶硅掺杂形成. 如图 1 所示, t_{ox} 为 BOX 厚度, t_s 为顶层硅膜厚度, D_T 为漂移区内槽型 SiO_2 介质层的厚度, w_p 为 L 型场板的宽度, t_p 为 L 型场板的深度 (为了分析数据方便, 将 G_2 深度与其延伸的 L 型场板深度统一为 t_p), N_{sub} 为衬底浓度, N_d 为漂移区浓度.

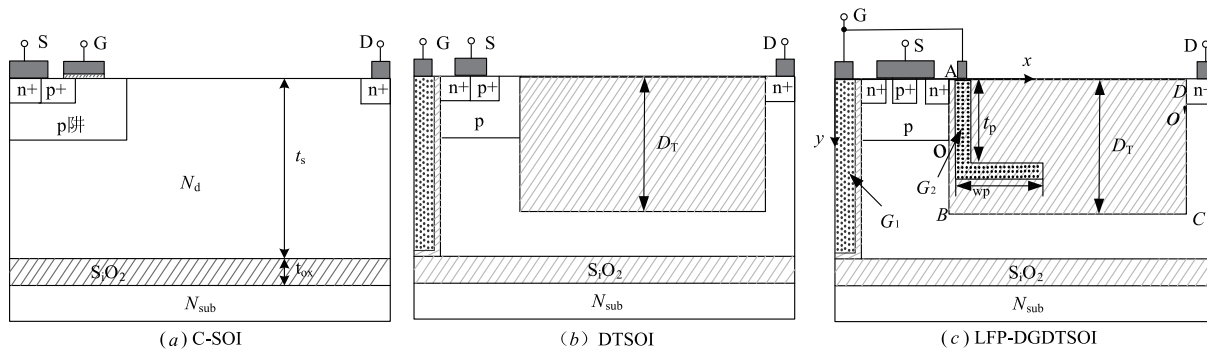


图1 器件结构示意图

在漂移区中引入槽型 SiO_2 介质, 由于其介电常数很低 (3.9), 承受的电场非常高, 所以使得器件的击穿电压 BV 也很高. 器件第一栅极 G_1 延伸至 BOX 埋氧层, 避免了 JFET 效应, 形成了一条纵向导电沟道, 加宽了电流传输面积, 降低了器件比导电电阻 $R_{on,sp}$; 与此同时, 由于第二栅极 G_2 的存在, 又形成了第二条导电沟道, 使得更多的电子从源极注入到漂移区中, 从而提高了通态电流, 进一步降低了 $R_{on,sp}$; 结构中 L 型场板的引入, 对漂移区及 SiO_2 介质槽内的电场起到了重塑作用. 如图 2 为 SiO_2 介质槽沿线 ABCD 电场受到 L 型场板影响后的分布. 从图中看出, 引入 L 型场板后, 源端电场很低, 而漏端电场明显变大. 根据 RESURF 理论, 为了提高击穿电压 BV , 需增大漂移区浓度 N_d . 因此, N_d 优化提高, 又使 $R_{on,sp}$ 显著降低. 在仿真过程中, 所有器件均采用相同的结构尺寸, 在

FOM 最大的条件下, 对器件参数进行优化设计.

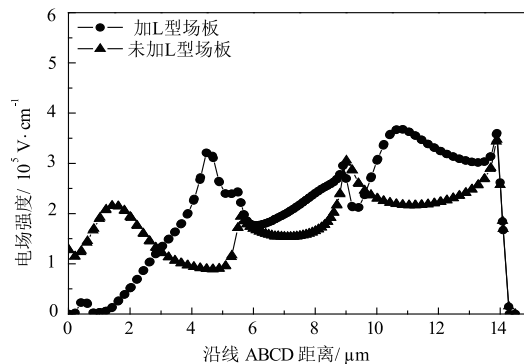


图2 SiO_2 介质槽沿线 ABCD 电场分布

3 仿真结构及分析

3.1 关态特性分析

为了分析 LFP-DTDGSOI 器件的关态反向击穿特性,对器件的电势、源漏端纵向电场及表面电场都进行了仿真,并与 C-SOI 和 DTSOI 进行性能比较.

图 3 为三种器件发生击穿时的电势分布. 从图 3 (a) 中可以看出,传统结构的 SOI 器件漂移区下方靠近漏端部分等势线分布极其不均匀,电场非常小,电势线主要集中在源端表面,而使得这里的电场非常高,器件在此容易提前击穿, BV 也就很低. 图 3 中的 (b) 图和 (c) 图, DTSOI 和 LFP-DTDGSOI 结构均在漂移区引入了

SiO_2 介质层,该介质层内部分布了非常密集的电势线,聚集了高电场. 同时也使得整个漂移区电场受到调制,电势线分布变得很均匀,因此,相比 C-SOI 结构,这两种结构的 BV 都很高.

图 4 为 DTSOI 和 LFP-DTDGSOI 两种结构的表面电场和 SiO_2 介质槽周围 ABCD 电场分布. 从图中可以看出,两种结构中漏电压全部加在了 SiO_2 介质槽上,该 SiO_2 介质槽在 y 方向上折叠了漂移区长度,使得漏极的高电压被该氧化槽分段承担 (OB 、 BC 、 CO'),较均匀的分配到漂移区,因此,器件的 BV 得到显著提高.

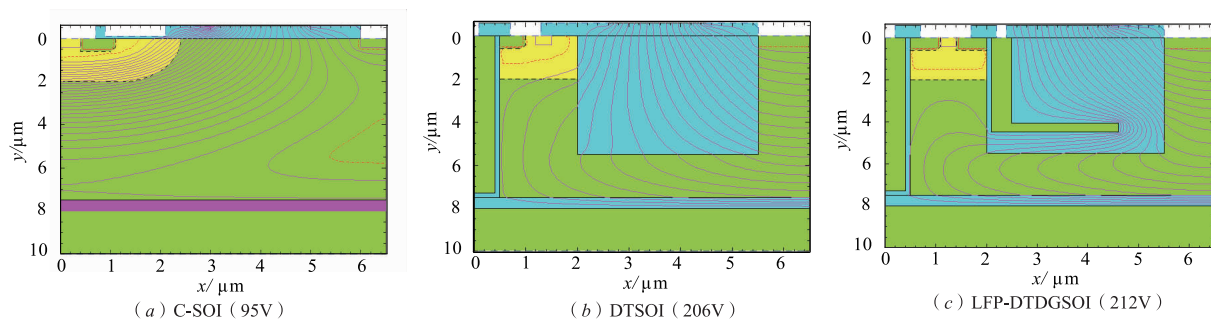


图3 三种结构的电势线分布

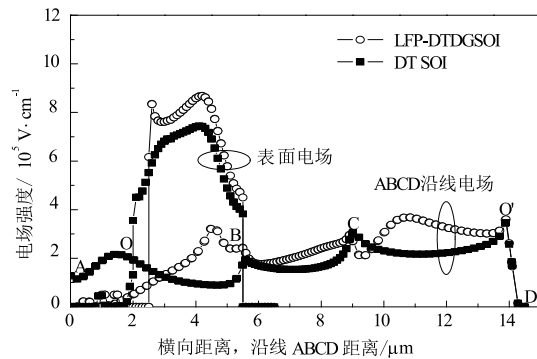
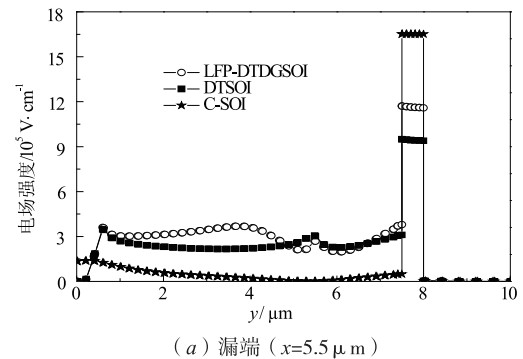
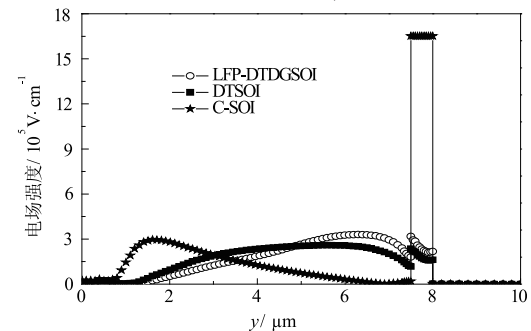


图4 器件表面电场和 SiO_2 介质槽周围电场分布

图 5 为在 $x = 5.5 \mu\text{m}$ 处漏端和 $x = 0.55 \mu\text{m}$ 处源端的 y 方向电场分布. 从图 5 (a) 中可以看出, C-SOI 结构的 BOX 电场非常高,但其漂移区电场却非常低,导致其击穿电压 BV 很低,为 95V; DTSOI 结构和 LFP-DTDGSOI 结构的漏端 y 方向上电场分布很相近,分布都很均匀, BV 都非常高, DTSOI 为 206V, LFP-DTDGSOI 为 212V. 在源端,如图 5 (b) 所示, LFP-DTDGSOI 结构在 $y = 6.5 \mu\text{m}$ 处有一个较大的电场峰,这是由于 L 型场板对漂移区电场的调制,使漏端附近电场增大 (CO' 段). 根据 RESURF 理论要求,需要增大漂移区浓度 N_d ,使源区电场增加. 而 N_d 增大使源端的体内电场也增大,器件击穿点向体内 ($x = 0.55 \mu\text{m}$, $y = 6.5 \mu\text{m}$) 转移,提高了击穿电压. 与 C-SOI 结构比较, LFP-DTDGSOI 结构的击穿电压提高了 123%.



(a) 漏端 ($x = 5.5 \mu\text{m}$)



(b) 源端 ($x = 0.55 \mu\text{m}$)

图5 器件 y 方向上电场分布

3.2 通态特性分析

图 6 为三种结构的电流线分布 (漏电压 V_{DS} 为 0.5V, 栅电压 V_{GS} 为 15V). 从图中可以看出, C-SOI 结构

电流传输路径很短,但其纵向传输区域较窄,加之这种结构的优化漂移区浓度 N_d 非常低(见表 1),所以其比导电电阻 $R_{on,sp}$ 也比较大,为 $3.1 \text{ m}\Omega \cdot \text{cm}^2$. DTSOI 结构采用了槽栅结构,电流的纵向传输区域增加了,使 $R_{on,sp}$ 降低;但由于其漂移区内引入了 SiO_2 介质槽,阻碍了电流的横向传输,所以, DTSOI 的 $R_{on,sp}$ 也比较大,为 $3.9 \text{ m}\Omega \cdot \text{cm}^2$,高于 C-SOI 结构. LFP-DTDGSOI 结构虽然仍有 SiO_2 介质槽阻挡电流的横向传输,但该结构在 SiO_2 介质槽中引入了第二栅极 G2 及 L 型栅极场板;对称的双栅极使沟道宽度加倍,形成双导电沟道,使更

多的电子从源区流入漂移区中, $R_{on,sp}$ 显著降低;同时,在 L 型栅极场板的调制作用下,漂移区源端和漏端的电场分布变得非常不均匀(如图 2、3),增强了 RESURF 效应,导致必须增大 N_d 进行优化;而 N_d 增大又有利于进一步降低 $R_{on,sp}$. 因此, LFP-DTDGSOI 结构不但具比 DTSOI 结构还要高些的 BV ,还具有非常低的 $R_{on,sp}$,为 $2.1 \text{ m}\Omega \cdot \text{cm}^2$. 从图 7 中可以看出,在器件尺寸相同时,对同一个 V_{DS} , DTSOI 结构的通态电流最小, $R_{on,sp}$ 最大; LFP-DTDGSOI 的通态电流最大, $R_{on,sp}$ 最小. 这与图 6 的分析结果一致.

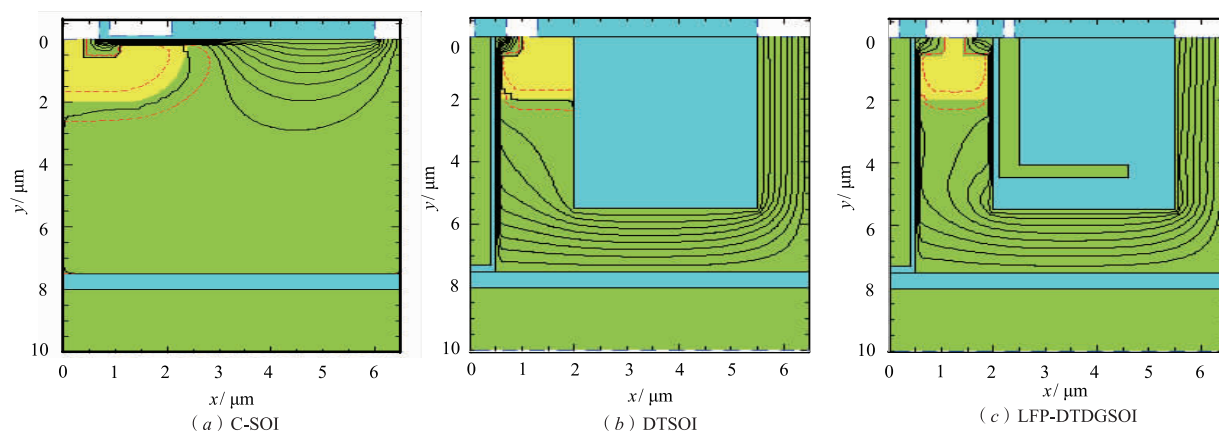


图6 三种结构的电流线分布

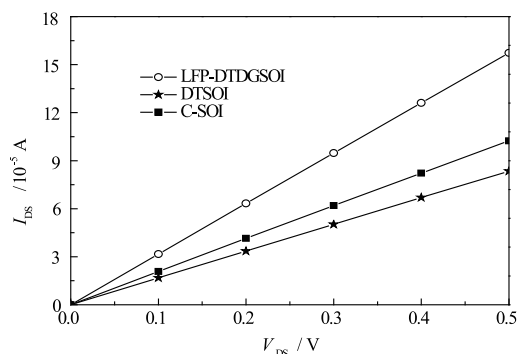


图7 三种结构的 I_{DS} - V_{DS} 特性曲线

3.3 器件 FOM 分析

表 1 列出了在 FOM 最大的条件下,不同器件的 N_d 、 BV 、 $R_{on,sp}$ 优化值. 在三种结构中, LFP-DTDGSOI 的 BV 最高为 212V, 比导电电阻 $R_{on,sp}$ 最低, 为 $2.1 \text{ m}\Omega \cdot \text{cm}^2$, FOM 值最大, 为 $21.4 \text{ MW} \cdot \text{cm}^{-2}$. 在相同器件尺寸下, 相比 C-SOI 结构和 DTSOI 结构, LFP-DTDGSOI 结构的 $R_{on,sp}$ 分别降低了 32% 和 46%, BV 比 C-SOI 结构高出 123%, 比 DTSOI 结构还要高出 3%, 保持了双槽结构的高压特性. 为了与相同击穿电压的 C-SOI 结构的 $R_{on,sp}$ 进行比较, 将 C-SOI 结构的器件长度增大到 $16 \mu\text{m}$. 仿真表明, 相比于具有相同击穿电压的 C-SOI 结构, LFP-DTDGSOI 结构的 $R_{on,sp}$ 下降了 87.5%.

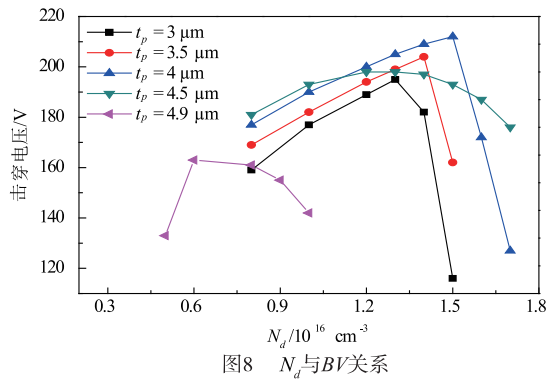
表 1 不同器件的 N_d 、 BV 、 $R_{on,sp}$ 优化值及 FOM

器件类型	$N_d / 10^{15} \text{ cm}^{-3}$	BV / V	$R_{on,sp} / \text{m}\Omega \cdot \text{cm}^2$	$F / \text{MW} \cdot \text{cm}^{-2}$
C-SOI ($6.5 \mu\text{m}$)	2.0	95	3.1	2.9
C-SOI ($16 \mu\text{m}$)	1.5	212	16.8	2.7
DTSOI ($6.5 \mu\text{m}$)	8.0	206	3.9	10.9
LFP-DTDGSOI ($6.5 \mu\text{m}$)	15.0	212	2.1	21.4

3.4 器件结构参数对 BV 和 $R_{on,sp}$ 的影响

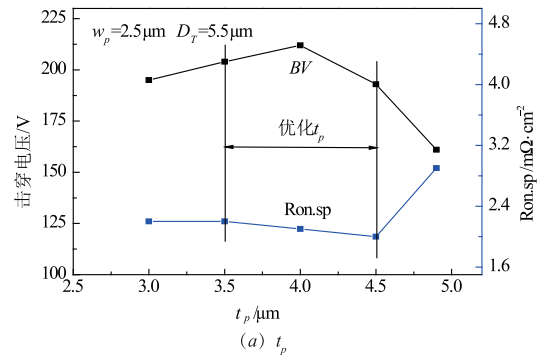
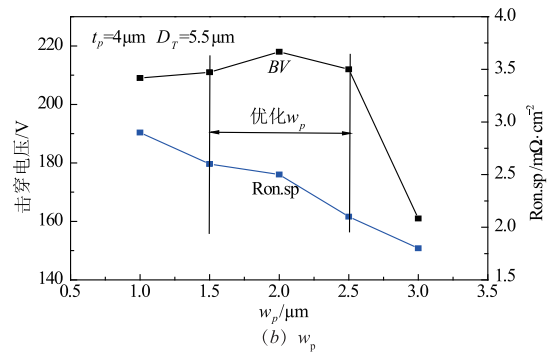
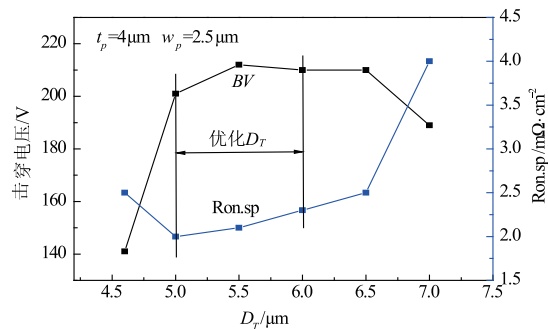
图 8 为在 LFP-DTDGSOI 结构中, t_p 不同取值时 N_d 与 BV 的关系. 从图中可以看出, 每一个 t_p 取值, 击穿电压 BV 随漂移区浓度 N_d 都是先增大后减小, 存在一个使击穿电压最高的最优 N_{d0} . 当 t_p 较小时, L 型栅极场板对漂移区的电场分布影响较弱, 源区电场仍较高, N_{d0} 很低; 随着 t_p 的增加, L 型栅极场板的调制影响增大, 源区的高电场逐渐转移到漏区, 源区电场减弱, 根据 RESURF 理论, N_{d0} 增大; 但当 t_p 值较大时, L 型栅极场板和 SiO_2 介质槽下边界的距离非常窄, 使此处聚集高电场, 器件在此处容易提前击穿, 所以需降低 N_{d0} . 因此, 随着 t_p 的增大, 优值 N_{d0} 先增加后减小.

图 9 为在 LFP-DTDGSOI 结构中, t_p 、 w_p 与 BV 、 $R_{on,sp}$ 的关系. 结合图 8 的分析, 从图 9(a) 中可以看出, 当 $t_p \leq 4 \mu\text{m}$ 时, 随着 t_p 的增加, L 型场板的调制影响逐

图8 N_d 与BV关系

渐增强, BV 逐渐增大; 当 $t_p > 4 \mu\text{m}$ 时由于 L 型场板末端聚集了高电场, 使器件提前击穿, BV 下降. 在 $t_p = 4 \mu\text{m}$ 时, 器件的击穿电压达到最大为 212V. 器件的 $R_{\text{on.sp}}$ 随着 t_p 的增加先减小后增大, 这是因为随 t_p 的增加最优漂移区浓度 N_{d0} 是先增大后减小的 (图 8). 因此, 为了获得较高的 FOM 值, 权衡器件的击穿电压 BV 和比导通电阻 $R_{\text{on.sp}}$, 优化 t_p 范围为 $3.5 \mu\text{m} \leq t_p \leq 4.5 \mu\text{m}$. 从图 9(b) 中可以看出, 随着 w_p 的增加, 击穿电压 BV 先增大后减小. 这是由于当 w_p 较小时, L 型栅极场板对漂移区的电场调制作用较弱, 器件容易在 B 点击穿, 导致 BV 很低; 随 w_p 的逐渐增加, 场板的调制作用越来越明显, 击穿点向器件体内转移, 这与图 5(b) 的分析一致. 但当 w_p 非常大时, 场板末端聚集了高电场, 使漏端电场非常高, 击穿点向漏端转移, 器件在漏端容易提前击穿, 导致 BV 急剧下降. 器件的 $R_{\text{on.sp}}$ 随 w_p 的增加几乎线性下降. 这是由于 w_p 较小时, 场板对漂移区的电场调制作用很弱, 源区电场较高, N_d 很低, $R_{\text{on.sp}}$ 很大. 随着 w_p 的增加, 场板的调制作用逐渐增强, 源区的高电场向漏端转移, 使器件的 N_d 增大, $R_{\text{on.sp}}$ 减小. 因此, 为了获得较高的 FOM 值, 权衡器件的击穿电压 BV 和比导通电阻 $R_{\text{on.sp}}$, 优化 w_p 范围为 $1.5 \mu\text{m} \leq w_p \leq 2.5 \mu\text{m}$.

图 10 为在 LFP-DTDGSOI 结构中, D_T 与 BV 、 $R_{\text{on.sp}}$ 的关系. 从图中可以看出, 当 D_T 很小时, 因为这时 SiO_2 介质槽的下边界与 L 型场板距离很近, 致使场板末端出现高电场聚集, 导致器件在此处提前击穿, BV 非常低, 而这种情况下的 N_d 也很低, $R_{\text{on.sp}}$ 很高. 这与图 8 分析机理一致. 随着 D_T 的增加, 当 $D_T < 5 \mu\text{m}$ 时, L 型场板对电场向漏端的转移作用增强, BV 增大, N_d 也在增大, $R_{\text{on.sp}}$ 减小; 但当 $D_T > 5 \mu\text{m}$ 后, L 型场板对电场越来越弱, BV 几乎不变; 当 $D_T > 6.5 \mu\text{m}$ 后, SiO_2 介质槽的下边界与埋氧层 BOX 的上边界距离越来越近, 即 SiO_2 介质槽下方的外延 Si 层非常窄, 聚集了高电场, 致使器件在此处提前击穿, BV 迅速下降; 同时, 当 $D_T > 5 \mu\text{m}$ 后, 随着 D_T 的逐渐增大, SiO_2 介质槽对电流的阻挡作用逐渐增强, 电流的导通路径越来越窄, 所以, $R_{\text{on.sp}}$ 单调增大. 因此, 为了获

(a) t_p 图9 t_p 、 w_p 与BV、 $R_{\text{on.sp}}$ 的关系图10 D_T 与BV、 $R_{\text{on.sp}}$ 的关系

得较高的 FOM 值, 权衡器件的击穿电压 BV 和比导通电阻 $R_{\text{on.sp}}$, 优化 D_T 范围为 $5.0 \mu\text{m} \leq D_T \leq 6.0 \mu\text{m}$.

图 11 为 LFP-DTDGSOI 结构在工艺上的关键步骤. (a) 刻蚀 Si, 填充 SiO_2 , 形成氧化物沟槽; (b) 刻蚀 Si 到埋氧层, 用于形成 G1; 刻蚀 SiO_2 槽, 用于形成 G2 及 L 型栅极场板; (c) 预氧化形成栅氧; (d) 填充多晶硅并平坦化, 形成 G1; (e) 刻蚀 SiO_2 氧化槽中的多晶硅; (f) 填充 SiO_2 并平坦化, 形成 G2 及 L 型栅极场板.

4 结论

本文提出了一种具有 L 型栅极场板的双栅双槽 SOI 器件新结构 (LFP-DTDGSOI). 在截止状态下, L 型栅极场板对漂移区电场进行重塑, 避免器件提前击穿; 在导通状态下, 对称的双栅结构形成两个导电通道, 加之 L 型栅极场板的作用, 漂移区浓度加大, 使器件的比

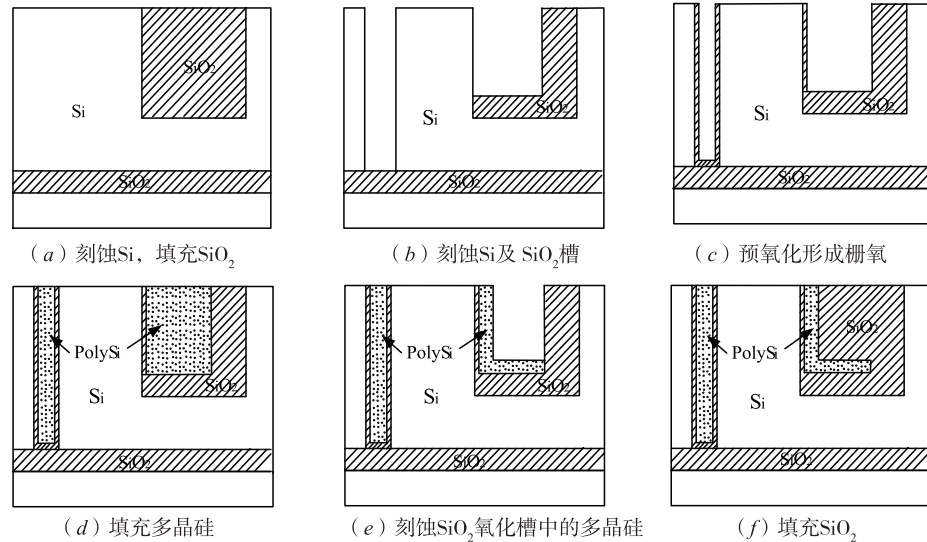


图11 LFP-DTDGSOI结构的关键工艺步骤

导通电阻得到显著降低. 利用数值仿真软件对器件的相关特性进行分析, 并与 C-SOI 结构和 DTSOI 结构进行比较. 结果表明: 在相同的器件尺寸下, 比较 C-SOI 结构及 DTSOI 结构, 新结构的 $R_{on,sp}$ 分别降低了 32% 和 46%; BV 比 C-SOI 结构高出 123%, 比 DTSOI 结构还要高出 3%, 保持了双槽结构的高压特性. 相比相同击穿电压的 C-SOI 结构, 新结构的 $R_{on,sp}$ 降低了 87.5%. 新结构的 FOM 值最大, 为 $21.4 \text{ MW} \cdot \text{cm}^{-2}$, 使 BV 和 $R_{on,sp}$ 之间的矛盾得到了很好的缓解. 由于 LFP-DTDG-SOI 结构中第一栅极 G1 延伸到 BOX 部分, 且具有对称的第二栅极 G2, L 型场板深入氧化槽内部, 这些结构上的特点对器件的频率特性、开关特性等都有一定的影响, 后续将展开深入研究.

参考文献

- [1] Fan Y, Luo X R, Zhou K, et al. An L-shaped low on-resistance current path SOI LDMOS with dielectric field enhancement [J]. *Journal of Semiconductors*, 2014, 35 (3): 034011.
- [2] Qiao M, Zhuang X, Wu L J, et al. Breakdown voltage model and structure realization of a thin silicon layer with linear variable doping on a silicon on insulator high voltage device with multiple step field plates [J]. *Chinese Physics B*, 2012, 21 (10): 108502.
- [3] Luo X R, Li Z J, Zhang B, et al. Realization of high voltage ($> 700 \text{ V}$) in New SOI devices with a compound buried layer [J]. *IEEE Electron Device Letters*, 2008, 29 (12): 1395 - 1397.
- [4] 石艳梅, 刘继芝, 姚素英, 等. 具有纵向漏极场板的低导通电阻绝缘体上硅横向双扩散金属氧化物半导体器件新结构 [J]. *物理学报*, 2014, 63 (10): 107302.
- [5] Shi Yanmei, Liu Jizhi, Yao Suying, et al. A low on-resistance silicon on insulator lateral double diffused metal oxide semiconductor device with a vertical drain field plate [J]. *Acta Physics Sinica*, 2014, 63 (10): 107302. (in Chinese)
- [6] Luo X R, Fan J, Wang Y G, et al. Ultralow specific on-resistance high-voltage SOI lateral MOSFET [J]. *IEEE Electron Device Letters*, 2011, 32 (2): 185 - 187.
- [7] Fan J, Zhang B, Luo X R, et al. High-voltage SOI lateral MOSFET with a dual vertical field plate [J]. *Chinese Physics*, 2013, B22 (11): 0118502.
- [8] Fan J, Zou Y G, Wang H Z, et al. A novel structure of SOI lateral MOSFET with vertical field plate [A]. *International Conference on Optoelectronics and Microelectronics (ICOM)* [C]. 2015. 360 - 364.
- [9] Mahabadi SEJ, Keshavarzi P, Moghadam HA, et al. A new partial SOI-LDMOSFET with a modified buried oxide layer for improving self-heating and breakdown voltage [J]. *Semiconductor Science & Technology*, 2011, 26 (26): 95005 - 95016.
- [10] Mahabadi SEJ, Rajabi S, Loiacono J. A novel partial SOI LDMOSFET with periodic buried oxide for breakdown voltage and self heating effect enhancement [J]. *Superlattices & Microstructures*, 2015, 85: 872 - 879.
- [11] ZHANG W T, Wu L J, Qiao M, et al. Novel high-voltage power lateral MOSFET with adaptive buried electrodes [J]. *Chinese Physics B*, 2012, 21 (7): 077101.
- [12] HU S D, Zhang B, Li Z J, et al. A new structure and its analytical model for the vertical interface electric field of a partial-SOI high voltage device [J]. *Chinese Physics B* 2010, 19 (3): 037303.
- [13] Luo X R, Luo Y C, Fan Y, et al. A low specific on-resistance SOI MOSFET with dual gates and recessed drain

- [J]. Chinese Physics B, 2013, 22(2):027304.
- [13] 石艳梅, 刘继芝, 姚素英, 等. 具有 L 型源极场板的双槽绝缘体上硅高压器件新结构[J]. 物理学报, 2014, 63(23):237305.
Shi Yanmei, Liu Jizhi, Yao Suying, et al. A dual-trench silicon on insulator high voltage device with an L-shaped source field plate[J]. Acta Physics Sinica. 2014, 63(23):237305. (in Chinese)
- [14] Luo X R, Yao G L, Zhang Z Y, et al. A low on-resistance triple RESURF SOI LDMOS with planar and trench gate integration[J]. Chinese Physics B, 2012, 21(6):068501.
- [15] Zhou K, Luo X R, Fan Y H, et al. A low on-resistance buried current path SOI p-channel LDMOS compatible with n-channel LDMOS[J]. Chinese Physics B, 2013, 22(6):067306.
- [16] Fan J, Zhang B, Luo X R, et al. High-voltage SOI lateral MOSFET with a dual vertical field plate [J]. Chinese Physics B, 2013, 22(11):118502.
- [17] Luo X R, Lei T F, Wang Y G, et al. Low on-resistance SOI dual-trench-gate MOSFET [J]. IEEE Transactions on Electron Devices, 2012, 59(2):504-509.
- [18] Lei T F, Luo X R, Ge R, et al. Ultra-low specific on-resistance SOI double-gate trench-type MOSFET[J]. Journal of Semiconductors, 2011, 32(10):49-52.

作者简介



代红丽 女, 1978 年 9 月出生, 河北唐山
人, 河北工业大学博士研究生, 主要从事半导体
器件和集成电路设计方面研究.
E-mail: daihongli0315@sina.com



赵红东 男, 1968 年 4 月出生, 河北沧州
人, 河北工业大学教授, 博士生导师, 主要从事
集成电路设计、电子器件方面研究.